

$$\bar{N} = \bar{\bar{N}} + 1 \quad (3.20)$$

となる。ただし、式(3.20)では、 \bar{N} と $\bar{\bar{N}}$ は10進数値で表し、それぞれの符号ビット(MSB)もそれぞれの数値部と連結・一体化して考える。式(3.20)より、2進数表現したある整数 N の2の補数 \bar{N} (2進数表現)は“ N の1の補数 $\bar{\bar{N}}$ に+1(1を加算)する”操作で得ることができる。

2進数表現した整数 N の2の補数 \bar{N} (2進数表現)を求める手順(前述の(1)~(4))を式(3.20)にしたがって書き直すと、次のようになる。

- (1) N の各ビットを反転($0 \Leftrightarrow 1$)して、まず、1の補数 $\bar{\bar{N}}$ を得る。
- (2) $\bar{\bar{N}} + 1$ ($\bar{\bar{N}}$ に1を加算する)によって2の補数 \bar{N} を得る。

2の補数(表現)には、1の補数(表現)と比較して、①加減算を行うときに補正は不要である(6.1.1項(f)で詳述);という長所と、②いったん1の補数を得て、それに+1の加算操作を行って2の補数を得るので、2の補数化機構では加算器が必要となる(6.1.2項(f)参照);という短所がある。現代のコンピュータでは、②の短所よりも①の長所を重視して、“固定小数点数による負数の数表現は2の補数(表現)で行う”のが普通である。

(e) 固定小数点数の範囲と精度

n ビットの整数部(符号ビットを含む)と m ビットの小数部をもつ固定小数点数表現(2進数表現)では、補数表現を使うと、次の式(3.21)と(3.22)の範囲にある(すべてではなく有限個の)実数 R を表現できる。

- (1) 1の補数表現による実数 R の範囲は

$$2^{-m} \cdot 2^{n-1} \leq R \leq 2^{n-1} - 2^{-m} \quad (3.21)$$

となる。式(3.21)の範囲に、1の補数による固定小数点数表現で表せる2進実数 R は $(2^{n+m}-1)$ 個ある。なお、1の補数表現では“+0”と“-0”の表現が異なるが、数学的な違いはない。

- (2) 2の補数表現による実数 R の範囲は

$$-2^{n-1} \leq R \leq 2^{n-1} - 2^{-m} \quad (3.22)$$

となる。式(3.22)の範囲に、2の補数による固定小数点数表現で表せる2進実数 R は 2^{n+m} 個ある。

- (1)(2)いずれの固定小数点数表現の場合でも、“精度は 2^{-m} で一定”である。

また、 n ビットの2進整数の固定小数点数表現(整数表現)では、補数表現を使うと、次の式(3.23)と(3.24)の範囲にある(すべてのかつ有限個の)整数 N を表現できる。

- (1) 1の補数表現による整数 N の範囲は

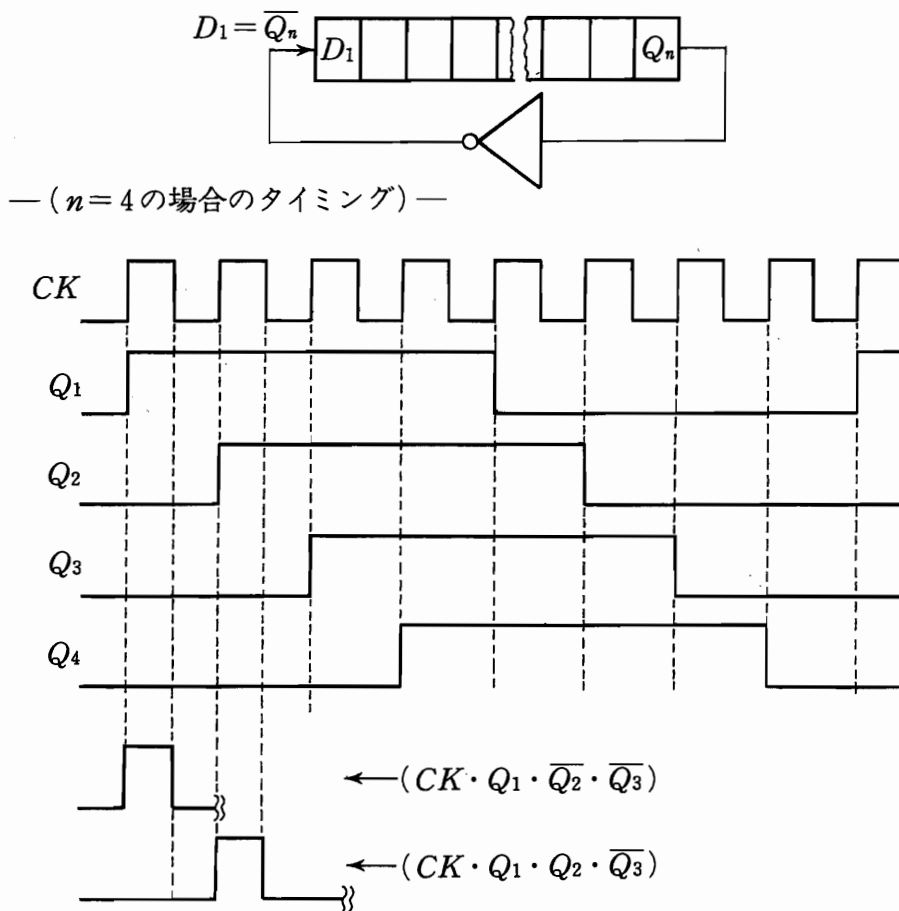


図 4.20 n ビットジョンソンカウンタの構成と動作タイミング ($n=4$ の場合)

4.2.4 順序回路による基本ハードウェア機構の構成例

実際にコンピュータのハードウェア機構を構成する基本順序回路を紹介してみよう。

(a) タイミング生成回路

コンピュータ(のハードウェア)の動作を制御(同期)するマスタ(原)クロックパルスから位相のずれたタイミングパルスを生成する回路を**タイミング生成回路**という。**タイミングパルス**はクロック周波数を分周した周波数をもつが、そのパルス幅はマスタクロックと同じである。

基本的なタイミングパルスは、前の 4.2.3 項 (d) で述べたジョンソンカウンタなどを利用して次のような手順で作ることができる(図 4.21 参照)。

(1) 周波数 f 、デューティ比(“1”を示すパルスの時間と“0”を示すそれとの比)1:1のマスタクロックパルスを $2n$ 分周し、周波数 $\frac{f}{2n}$ 、デューティ比 1:1 のパルスを作る。

(2) このデューティ比を 1:($4n-1$)にし、マスタクロックのパルス幅と

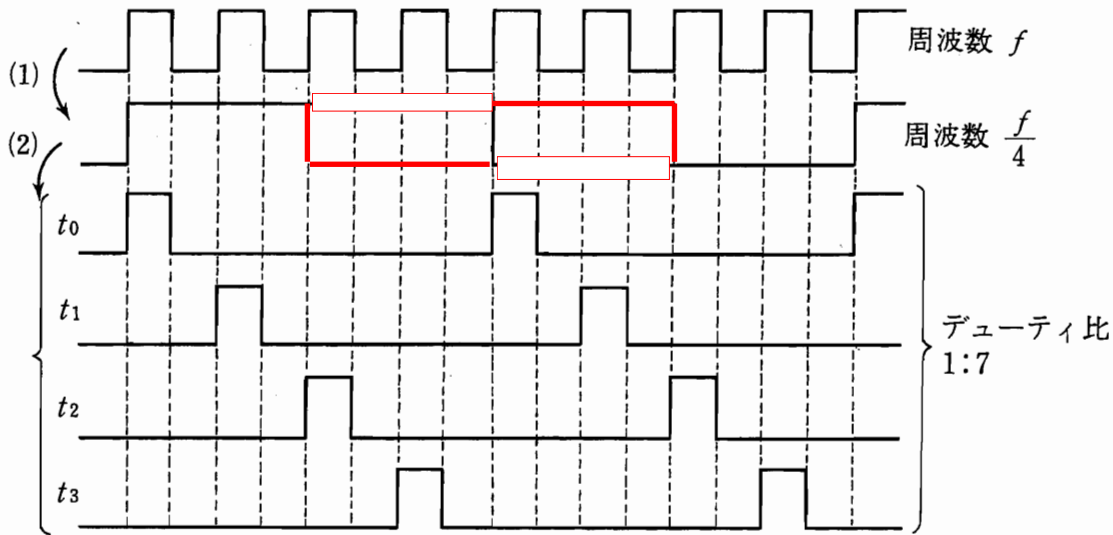


図 4.21 タイミングパルスの生成手順 ($n=2$)

同じにする。

マスタクロックから作るタイミングパルスはコンピュータの制御機構 (特に同期式制御機構, 5.1.3 項 (c) 参照) のタイミング合わせ (同期動作) に使う。

周波数が f のマスタクロックの周期 (cycle; 1 クロックサイクル) は $\frac{1}{f}$ 秒であり, これを **マシンサイクル** (machine cycle) という。マシンサイクルはコンピュータの動作を同期させるために使う最小単位時間 (間隔) である。

(b) パルスエッジ検出回路

クロックに同期していないパルスのエッジ (edge; 立ち上がりと立ち下がり) を検出する回路を **パルスエッジ検出回路** という。非同期信号の同期化などのコンピュータの基本ハードウェア機構 (特に制御機構) の構成には不可欠である。

パルスエッジ検出回路は, 図 4.22 に示すように, 2 個の D フリップフロップを使用して構成できる。

(c) アービタ

“あるハードウェア機構や装置へ複数のアクセスが同時に生じる” ことを “アクセス競合” という。たとえば, メインメモリへプロセッサと入出力装置とが同時にアクセスする場合や, プロセッサ内の ALU とレジスタがバスを同時に使用する場合など, ハードウェア利用の多重化を図っている現代のコンピュータではアクセス競合が発生する回数は非常に多い。このアクセス競合をある戦略で調停し解決する制御機構を **アービタ** (arbiter, 調停機構) という。アービタは順序回路の一種であり, 非同期に生じる信号を順序付けする。