

(g) 固定小数点数乗算機構のコンディション

固定小数点数乗算器からも種々のコンディションが派生する。乗算器に特有のコンディションとしては、被乗数と乗数の“ゼロ検出”がある。このコンディションの場合には AND 素子や乗算器で乗算を行うことなく、直ちに積をゼロとすればよい。これは部分積の生成においても同様である。また、 n ビット乗算に対して $2n$ ビットの積を格納するラッチがあればオーバフローや桁上げは生じない。

6.1.4 固定小数点数の除算機構

(a) 固定小数点数の基本除算手順

除算は“減算の繰り返し”である。すなわち、

$$(\text{被除数}) \div (\text{除数}) = (\text{商}), (\text{剰余}) \quad (6.31)$$

については、“被除数 (dividend) を被減数の初期値とし、『被減数から除数 (divisor) を引いて (減算して) 得る差を新たな被減数とする』操作を被減数よりも減数 (除数) が大きくなるまで繰り返す (繰り返し減算する)” ことによつて商 (quotient) と剰余 (remainder) が求まる。この操作を終了した時点での、繰り返した減算の回数が商であり、残った被減数が剰余である。

したがって、固定小数点数表現 2 進数の基本除算手順は次に示すような“比較、左シフト、減算 (2 の補数表現による加算) の繰り返し”となる (図 6.29 にこの手順にしたがう除算の例を示す)。この手順の説明では、被除数 DD (n ビット、図 6.29 の例では $n=8$)、除数 DS (m ビット、図 6.29 の例では $m=4$)、 $n \geq m$ とする。また、説明のために、“ DD の MSb (最上位ビット) から q ビットだけ切り出してきた 2 進数列 (ビット列)” を DD_q と表す。

(1) $q=1$ から始めて、被除数 DD の上位 q ビット DD_q が除数 DS 以上 ($DD_q \geq DS$) になるまで q を $+1$ (インクリメント) して行く。 $DD_q \geq DS$ となったときの DD_q を最初の部分剰余 (partial remainder) PR とする。また、 PR とした DD の残り (下位) を DD' とする。

(2) DS と PR を大小比較する。

① $DS \leq PR$ ならば、部分商 (partial quotient) PQ を 1 とする。 $(PR - DS)$ を行い、その差を新しい PR とする。

② $DS > PR$ ならば、 PQ を 0 とする。

(3) DD' をチェックする。