

ンメモリ)の動作速度より数倍(たとえば、100MHzクロックのプロセッサの1クロックサイクル時間が10nsで、大容量DRAMのアドレス指定も含めたメモリアクセス時間は数十~百ns程度)速い。したがって、プロセッサの動作中にメモリアクセスがあると、プロセッサの動作は中断される。ノイマン型コンピュータアーキテクチャの設計では、このプロセッサ動作の中断時間(メモリアクセス待ち時間)に対して、①除去；②隠蔽(見かけ上除去)；③短縮；のいずれかの方法によって対処することが必要となる。

具体的には、次の例のような種々のアーキテクチャ技術が開発されている。

- **レジスタ**：レジスタはプロセッサと同程度の速度で動作する超高速一時メモリである。処理途中のデータをメインメモリではなくこのレジスタに置くと、(データに対する)メモリアクセスそのものをなくすることができるので、①にあたる。
- **ロード/ストアパイプライン**：メインメモリへのアクセスを演算用とは別のパイプラインで行う方法で、②にあたる。(5.2.3項で詳述)
- **キャッシュメモリ**：③の対処方法であり、命令やデータの一部をメインメモリよりも高速動作するキャッシュという一時メモリに置き、メモリアクセス時間を短縮する。(6.3節で詳述)

現代のノイマン型コンピュータアーキテクチャとしては、これらの技術は必須となっている。

〔2〕 プロセッサの高機能化 プロセッサの高機能化とは

- (a) 高速化(高性能化)
- (b) 広い適用性の獲得

の2つである。(a)は主としてハードウェアによる機能分担によって、(b)は主としてソフトウェアあるいはファームウェアによる機能分担によって、それぞれ実現できる。したがって、(a)と(b)はトレードオフとなる。また、(b)をファームウェアによって実現する場合は、性能と専用化範囲の拡大との両立を狙っており、ファームウェアによってこのトレードオフの解決を図っている。

さらに、プロセッサをハードウェア機構によって高速化する際の要点は、①制御機構の高速化；②演算機構(ALU)の高速化；とに細分できる。

〔3〕 **実行順序制御の高速化** 〔2〕の①は「実行順序制御の高速化」とみなせる。これはマシン命令当りのクロックサイクル数であるCPI(3.3.2項参照)

マルチスレッドアーキテクチャ
 159, 228
 マルチスレッド化 158, 228
 マルチタスキング 146
 マルチプログラミング 146
 マルチプロセッサ 378, 388

 ミスヒット 284
 ミスペナルティ時間 285
 密結合 365
 見積り 91
 ミニコン 109

 無効化 392
 無条件分岐 47

 命 令 22, 214
 命令ウィンドウ 214
 命令キャッシュ 286
 命令駆動方式 120
 命令形式 25
 命令コード 23
 命令実行サイクル 47
 命令実行例外 52
 命令セット 7
 命令セットアーキテクチャ 7
 命令セットの大きさ 80
 命令先見 217
 命令棚上げ 218
 命令デコード 49
 命令バス 14
 命令発行 214, 215
 命令発行ステージ 217
 命令フェッチ 47
 命令プリフェッチ 171
 命令ミックス 99
 命令レベル並列処理 207, 208
 命令レベル並列性 208

命令ワード 23
 メインフレームコンピュータ 87,
 89, 110
 メインメモリ 13, 24, 255, 259
 メインメモリ更新 295
 メタコンピュータシステム 67
 メッシュ網 380
 メッセージ駆動 121
 メッセージ交換 118, 376
 メッセージ交換アーキテクチャ
 377
 メッセージ通信 152, 155
 メッセージパッシング 376
 メッセージフローモデル 118
 メモリ 13, 255
 メモリアーキテクチャ 15, 255
 メモリアクセス時間 256
 メモリアドレス空間 29
 メモリアレイ 316
 メモリ依存 311
 メモリインタリーブ 309
 メモリ階層 257
 メモリ管理ユニット 328
 メモリサイクル時間 257
 メモリスループット 308
 メモリ素子 60
 メモリディサビギュエイション
 312
 メモリバンド幅 308
 メモリ保護 319
 メモリーメモリ演算 27
 メモリロック 394

文字型 42

や 行

ユーザマイクロプログラム可能コンピュ
 ータ 185

ユニバーサルホストコンピュータ
186

要求駆動 120
要素プロセッサ 365
容量 256
予測の深さ 248
予約ステーション 214

ら 行

ライトアフタライトハザード 200
ライトアフタリードハザード 200
ライトアラウンド 298
ライトアロケート 298
ライトスルー 295
ライトバック 296
ライトバッファ 201, 249, 304
ライトワンス 298
ライン 284
ラインサイズ 288
ラウンドロビン 148
ラップアラウンドベクトルレジスタ
363
ラピットシステムプロトタイピング
252
ランダム 274, 298
ランダムアクセスメモリ 256
ランデブ 394

リオーダーバッファ 221, 242, 244
リストスケジューリング 235
リダクション 117
リダクションマシン 121, 123
リダクションモデル 117
リードアフタライトハザード 199
リフレッシュサイクル 314
粒度 209, 368

リロケーション 281
リンカ 109
リンケーজেディタ 109

ルーティング 382
ループアンローリング 239
ループ変換 237

0 アドレス形式 136
0 命令発行サイクル 218
例 外 52
例外処理 52
レコード型 44
レジスタ 12, 24, 170, 232, 261
レジスタ依存 311
レジスタ間接 34
レジスタ更新ユニット 223
レジスタ直接 33
レジスタマッピングテーブル 245
レジスタリネーミング 243
レジスターレジスタ演算 27
レディ集合 236
連 想 290
連想メモリ 277, 290

ローカルキャッシュ 300, 389
ローカルメモリ 375
ローダ 109
ロック 154
ロックアップフリーキャッシュ
305
ロード 46, 248
ロードーストアアーキテクチャ
346
ロード/ストアパイプライン 170, 201,
248, 363
ロード遅延スロット 207
ロードフォワーディング 249